

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-335574

(43)Date of publication of application : 18.12.1998

(51)Int.Cl.

H01L 25/04

H01L 25/18

(21)Application number : 09-156057

(71)Applicant :

NIPPON TELEGR &amp; TELEPH CORP &lt;NTT&gt;

(22)Date of filing : 30.05.1997

(72)Inventor :

KAWAMURA TOMOAKI

YAMANAKA NAOAKI

KAIZU KATSUMI

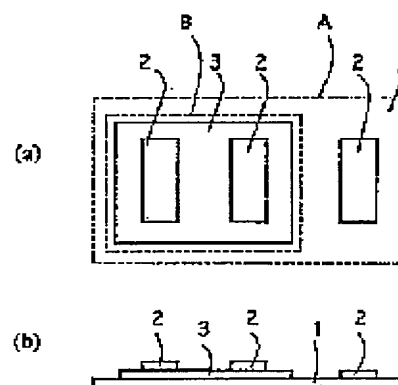
HARADA AKIO

## (54) ELECTRONIC CIRCUIT DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the production yield of MCM substrates by mounting sub-modules in multichip modules(MCM); each sub-module mounting semiconductor integrated circuits on a sub-substrate.

**SOLUTION:** On a multichip module MCM substrate 1 sub-substrates 3 are mounted in addition to IC2 and other IC2 is mounted on the sub-substrate 3 to form a sub-module B at part of this sub-structure 3. This allows part of wirings which were always necessary on the MCM substrate 1 to be moved to the substrate 3, resulting in less no. of wirings on the substrate 1 and improved production yield of this substrate 1. Sub-module external connection terminals for connecting the sub-module B on the sub-substrate 3 to externals or IC connection terminals for connecting the IC2 on the sub-substrate 3 thereto may be formed.



## LEGAL STATUS

[Date of request for examination] 25.12.2000

[Date of sending the examiner's decision of rejection] 24.06.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-335574

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 25/04  
25/18

識別記号

F I

H 0 1 L 25/04

Z

審査請求 未請求 請求項の数12 F D (全 7 頁)

(21) 出願番号 特願平9-156057

(22) 出願日 平成9年(1997)5月30日

(71) 出願人 000004226

日本電信電話株式会社  
東京都新宿区西新宿三丁目19番2号

(72) 発明者 川村 智明

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72) 発明者 山中 直明

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72) 発明者 海津 勝美

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(74) 代理人 弁理士 長尾 常明

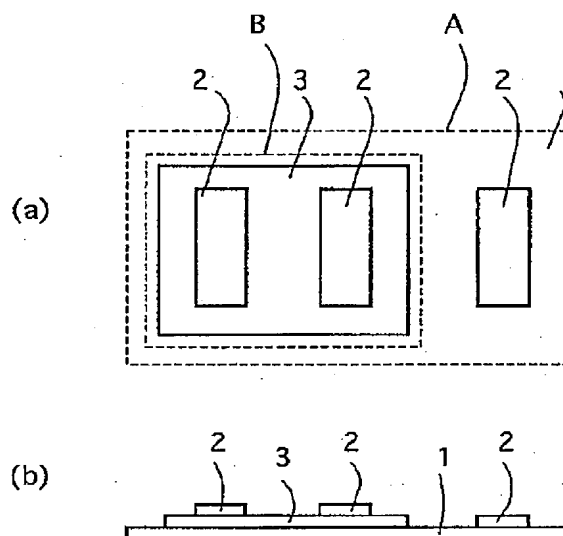
最終頁に続く

(54) 【発明の名称】 電子回路装置

(57) 【要約】

【課題】 MCM基板又はMCMケースの製造歩留りを向上させる。

【解決手段】 MCM基板1上に搭載されるマルチチップモジュールA内に、IC2をサブ基板3に搭載したサブモジュールBを搭載する。



## 【特許請求の範囲】

【請求項1】MCM基板又はMCMケース上に2以上の半導体集積回路素子等を搭載したマルチチップモジュールを有する電子回路装置において、サブ基板上に2以上の半導体集積回路素子等を搭載してなるサブモジュールを、前記マルチチップモジュール内に搭載したことを特徴とする電子回路装置。

【請求項2】前記サブ基板に、前記サブモジュールをサブモジュール外部と接続するためのサブモジュール外部接続端子と、前記サブモジュール内に搭載される半導体集積回路素子等を前記サブ基板に接続するためのIC接続端子とを設けたことを特徴とする請求項1に記載の電子回路装置。

【請求項3】前記サブ基板に、前記サブモジュール外部接続端子と前記IC接続端子とを接続するための配線を設けたことを特徴とする請求項2に記載の電子回路装置。

【請求項4】前記サブ基板に、前記IC接続端子の相互間を接続する配線を設けたことを特徴とする請求項2又は3に記載の電子回路装置。

【請求項5】前記サブモジュール内の半導体集積回路素子等が、前記IC接続端子に接続されることを特徴とする請求項2乃至4に記載の電子回路装置。

【請求項6】前記サブモジュール内の半導体集積回路素子等が、前記サブ基板を介して、前記サブモジュール内の他の半導体回路素子等に接続されることを特徴とする請求項2乃至5に記載の電子回路装置。

【請求項7】前記サブモジュール外部接続端子が、マルチチップモジュール外部接続端子、前記サブモジュール外の半導体回路素子等、あるいは他のサブモジュールに接続されることを特徴とする請求2乃至6に記載の電子回路装置。

【請求項8】前記サブモジュール内の半導体回路素子等が、ボンディングワイヤ、TAB用リード、リードフレーム、あるいはフリップチップ用リード等の信号伝送媒体を介して、サブ基板上のIC接続端子に接続されることを特徴とする請求項2乃至7に記載の電子回路装置。

【請求項9】前記サブモジュール内の半導体回路素子等の相互間が、ボンディングワイヤ、TAB用リード、リードフレーム、あるいはフリップチップ用リード等の信号伝送媒体を介して、直接的に接続されることを特徴とする請求項2乃至7に記載の電子回路装置。

【請求項10】前記サブモジュール外部接続端子が、ボンディングワイヤ、TAB用リード、リードフレーム、あるいはBGA用リード等の信号伝送媒体、およびMCM基板又はMCMケース上の信号伝送媒体を介して、前記マルチチップモジュール外部接続端子、サブモジュール外の半導体集積回路素子等、あるいは他のサブモジュールに接続されることを特徴とする請求項2乃至9に記載の電子回路装置。

【請求項11】前記サブモジュール外部接続端子が、ボンディングワイヤ、TAB用リード、リードフレーム、あるいはBGA用リード等の信号伝送媒体を介して、サブモジュール外の半導体集積回路素子等、あるいは他のサブモジュールに直接的に接続されることを特徴とする請求項2乃至9に記載の電子回路装置。

【請求項12】前記サブモジュール内に、別のサブモジュールを内蔵させたことを特徴とする請求項1乃至11に記載の電子回路装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、マルチチップモジュール（以下、「MCM」と呼ぶこともある。）からなる電子回路装置に関するものである。

## 【0002】

【従来の技術】従来から、半導体集積回路素子（以下、「IC」と呼ぶ。）を高密度に実装する技術として、図14に示すように、マルチチップモジュール基板又はマルチチップモジュールケースの一部（以下では、「MCM基板」と呼ぶ。）1の上に、複数のIC2を一体化してマルチチップモジュールAを構成するMCM技術が利用されている。

## 【0003】

【発明が解決しようとする課題】ところが、このMCM技術では、1枚のMCM基板1の上にすべてのIC2が直接搭載されていたので、マルチチップモジュールA内に搭載するIC2の数が増えると、IC2の搭載用のMCM基板1の形状が大きくなり、またMCM基板に必要な配線数が増大し、MCM基板の製造歩留りが悪くなるという問題があった。

【0004】本発明はこのような点に鑑みてなされたもので、その目的は、このMCM基板の製造歩留りを向上させることである。

## 【0005】

【課題を解決するための手段】上記目的を達成するために第1の本発明は、MCM基板又はMCMケース上に2以上の半導体集積回路素子等を搭載したマルチチップモジュールを有する電子回路装置において、サブ基板上に2以上の半導体集積回路素子等を搭載してなるサブモジュールを、前記マルチチップモジュール内に搭載して構成した。第2の発明は、第1の発明において、前記サブ基板に、前記サブモジュールをサブモジュール外部と接続するためのサブモジュール外部接続端子と、前記サブモジュール内に搭載される半導体集積回路素子等を前記サブ基板に接続するためのIC接続端子とを設けて構成した。第3の発明は、第2の発明において、前記サブ基板に、前記サブモジュール外部接続端子と前記IC接続端子とを接続するための配線を設けて構成した。第4の発明は、第2又は第3の発明において、前記サブ基板に、前記IC接続端子の相互間を接続する配線を設けて

構成した。第5の発明は、第2乃至第4の発明において、前記サブモジュール内の半導体集積回路素子等が、前記IC接続端子に接続されるよう構成した。第6の発明は、第2乃至第5の発明において、前記サブモジュール内の半導体集積回路素子等が、前記サブ基板を介して、前記サブモジュール内の他の半導体回路素子等に接続されるよう構成した。第7の発明は、第2乃至第6の発明において、前記サブモジュール外部接続端子が、マルチチップモジュール外部接続端子、前記サブモジュール外の半導体回路素子等、あるいは他のサブモジュールに接続されるよう構成した。第8の発明は、第2乃至第7の発明において、前記サブモジュール内の半導体回路素子等が、ボンディングワイヤ、TAB用リード、リードフレーム、あるいはフリップチップ用リード等の信号伝送媒体を介して、サブ基板上のIC接続端子に接続されるよう構成した。第9の発明は、第2乃至第8の発明において、前記サブモジュール内の半導体回路素子等の相互間が、ボンディングワイヤ、TAB用リード、リードフレーム、あるいはフリップチップ用リード等の信号伝送媒体を介して、直接的に接続されるよう構成した。第10の発明は、第2乃至第9の発明において、前記サブモジュール外部接続端子が、ボンディングワイヤ、TAB用リード、リードフレーム、あるいはBGA用リード等の信号伝送媒体、およびMCM基板又はMCMケース上の信号伝送媒体を介して、前記マルチチップモジュール外部接続端子、サブモジュール外の半導体集積回路素子等、あるいは他のサブモジュールに接続されるよう構成した。第11の発明は、第2乃至第10の発明において、前記サブモジュール外部接続端子が、ボンディングワイヤ、TAB用リード、リードフレーム、あるいはBGA用リード等の信号伝送媒体を介して、サブモジュール外の半導体集積回路素子等、あるいは他のサブモジュールに直接的に接続されるよう構成した。第12の発明は、第2乃至第11の発明において、前記サブモジュール内に、別のサブモジュールを内蔵させて構成した。

【0006】

【発明の実施の形態】

【第1の実施の形態】図1は本発明の第1の実施の形態の電子回路装置の説明図で、(a)は平面図、(b)は正面図である。図1において、前記した図14で説明したものと同一のものには同一の符号を付している。ここでは、MCM基板1の上に、IC2の外にサブ基板3を搭載して、このサブ基板3上に別のIC2を搭載することにより、このサブ基板3の部分にサブモジュールBを構成している。

【0007】このように構成することにより、従来MCM基板1上に必ず必要であった配線の一部をサブ基板3上に移動させることができるため、MCM基板1の配線数が減少し、そのMCM基板1の製造歩留りが向上す

る。

【0008】図2はその第1の応用例を示す図である。ここでは、サブ基板3上に、サブモジュールBと外部との接続を行うためのサブモジュール外部接続端子4、サブ基板3上のIC2とサブ基板3を接続するためのIC接続端子5を形成している。このように端子4、5を設けることにより、その間をサブ基板3上の配線6で接続して、サブ基板3上の各IC2をサブモジュールBの外部と接続することが可能となる。

【0009】図3は第2の応用例を示す図である。ここでは、サブ基板3上において、IC接続端子5の一部の相互間を、サブ基板3上の配線7で接続することにより、サブ基板3上の複数のIC2を直接接続している。この構成により、サブ基板3上のIC2の間を短距離で接続することができるばかりか、IC接続端子5のすべてをサブモジュール外部接続端子4に接続する必要はなくなる。

【0010】図4は第3の応用例を示す図である。ここでは、サブモジュール外部接続端子4をMCM外部接続端子8（符号のみ示す。）に接続すると共に、サブモジュールBの外のIC2にも接続している。このような構成により、サブモジュール内のIC2はマルチチップモジュールAの外部のICや、マルチチップモジュールAの内部で且つサブモジュールBの外部のIC2とも接続することができる。

【0011】図5は第4の応用例を示す図である。ここでは、図4に示した接続構成の装置において、サブモジュールBの内部の各IC2とサブ基板3上のIC接続端子5の間、サブモジュール外部接続端子4とMCM基板1の間、サブモジュールBの外部のIC2とMCM基板1の間を、各々ボンディングワイヤ、TAB（Tape Automated Bonding）用リード、あるいはリードフレーム等（以下では、「ボンディングワイヤ」と呼ぶ。）9で接続したものである。これにより図4に示した接続を実現できる。

【0012】図6は第5の応用例を示す図である。ここでは、サブモジュールB内の各IC2とサブ基板3上のIC接続端子5'の間を、フリップチップ用リード（球状半田等）10で接続し、サブモジュール外部接続端子4とMCM基板1の間や、MCM基板1とそのMCM基板1上のIC2との間をボンディングワイヤ9で接続している。この構成では、サブ基板3上のIC接続端子5'がICの直下に配置されるが、図4に示した接続を実現できる。

【0013】図7は第6の応用例を示す図である。ここでは、サブモジュールB内の各IC2とサブ基板3上のIC接続端子5の間、サブモジュール外部接続端子4とMCM基板1の間、およびサブモジュールBの外部のIC2とMCM基板1の間を、ボンディングワイヤ9で接続し、さらにサブモジュールB内の個々のIC2の相互間

もボンディングワイヤ9で接続している。この構成でも図4に示した接続を実現できる。

【0014】図8は第7の応用例を示す図である。ここでは、サブモジュールBの内部のIC2とサブ基板3上のIC接続端子5の間、サブモジュールBの外部のIC2とMCM基板1の間をボンディングワイヤ9で接続すると共に、サブモジュール外部接続端子4'とMCM基板1の間を、BGA(Ball Grid Array)型リード(球状半田等)11で接続している。この構成では、サブ基板3の裏面にサブモジュール外部接続端子5'が接続される。この構成でも図4に示した接続を実現することができる。

【0015】[第2の実施の形態]図9は第2の実施の形態の電子回路装置を示す図である。ここでは、マルチチップモジュールAに2個のサブモジュールB1、B2が搭載されている。各サブモジュールB1、B2のサブモジュール外部接続端子4の相互間を接続することにより、サブモジュールB1内のIC2を他のサブモジュールB2内のIC2と接続することができる。

【0016】この構成では、第1の実施の形態と同様に、MCM基板1上に必要な配線数が減少し、その歩留りが向上する。

【0017】図10はその第1の応用例である。ここでは、各サブモジュールB1、B2内の各IC2とサブ基板3上のIC接続端子5の間、および各サブモジュールB1、B2のサブモジュール外部接続端子4とMCM基板1の間を、ボンディングワイヤ9で接続している。これにより、図9の接続を実現できる。

【0018】図11は第2の応用例である。ここでは、各サブモジュールB1、B2内の各IC2とサブ基板3上のIC接続端子5の間、および各サブモジュールB1、B2のサブモジュール外部接続端子4とMCM基板1の間を、ボンディングワイヤ9で接続している外に、各サブモジュールB1、B2のサブ基板3のサブモジュール外部接続端子4の相互間を直接ボンディングワイヤ9で接続している。この構成でも図9の接続を実現できる。

【0019】[第3の実施の形態]図12は第3の実施の形態の電子回路装置を示す図である。ここでは、サブモジュールB内の各IC2とサブ基板3上のIC接続端子5の間、およびそのサブ基板3上のサブモジュール外部接続端子4とMCM基板1の間を、ボンディングワイヤ9で接続している外に、サブモジュールB内に第2サブモジュールCを内蔵し、この第2サブモジュールC内の各IC2と第2サブ基板12上のIC接続端子5の間をボンディングワイヤ9で接続し、さらにこの第2サブ基板12のサブモジュール外部接続端子4'とサブモジュールB内のサブ基板3との間をBGA型リード11で接続している。この構成では、第2サブモジュールCの外部接続端子4'が第2サブ基板12の裏面に形成され

るが、この構成でも図9の接続を実現することができる。

【0020】[第4の実施の形態]図13は第4の実施の形態の電子回路装置を示す図である。ここでは、サブモジュールB内のIC2とサブ基板3上のIC接続端子5'の間をフリップチップ用リード10で接続し、サブモジュール外部接続端子4とMCM基板1の間、およびサブモジュールB外のIC2とMCM基板1との間をボンディングワイヤ9で接続する外、サブモジュールB内のIC2の上に別のIC2'を搭載し、そのIC2'とサブモジュールB内のICとの間をフリップチップ用リード10で接続している。

【0021】この構成では、2つのICによりサブモジュールB内に別のサブモジュール(第2サブモジュールD)が構成されている。サブ基板3上のIC接続端子5'はIC2の直下に配置され、そのIC2上のIC接続端子5''はIC2'の直下に配置されるが、図1に示した接続を実現できる。

【0022】[その他の実施の形態]本発明は以上説明した実施の形態に限られるものではなく、例えば次のような形態も実現できる。(1)マルチチップモジュール内に3個以上のサブモジュールを搭載すること、(2)サブモジュール内にICを3個以上搭載すること、

(3)マルチチップモジュール内に複数のサブモジュールを搭載すると共にICを搭載すること、(4)マルチチップモジュール内にサブモジュールを搭載すると共に複数のICを搭載すること、(5)サブモジュール内に別のサブモジュール(第2サブモジュール)を搭載すること、(6)ICは半導体集積回路素子に限られるものではなく、ハイブリッドIC、小型実装基板等を用いた小型モジュールとすること、等である。また、これら以外にも本発明の概念に基づき様々な構成を実現できる。

【0023】

【発明の効果】以上のように本発明によれば、マルチチップモジュール内部にサブモジュールを搭載するので、MCM基板やMCMケース等の製造歩留りを向上させることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態のマルチチップモジュールの構成を示す図で、(a)は平面図、(b)は正面図である。

【図2】 第1の実施の形態の第1の応用例を示すマルチチップモジュールの平面図である。

【図3】 第1の実施の形態の第2の応用例を示すマルチチップモジュールの平面図である。

【図4】 第1の実施の形態の第3の応用例を示すマルチチップモジュールの平面図である。

【図5】 第1の実施の形態の第4の応用例を示すマルチチップモジュールの構成を示す図で、(a)は平面図、(b)は正面図である。

【図6】 第1の実施の形態の第5の応用例を示すマルチチップモジュールの構成を示す図で、(a)は平面図、(b)は正面図である。

【図7】 第1の実施の形態の第6の応用例を示すマルチチップモジュールの構成を示す図で、(a)は平面図、(b)は正面図である。

【図8】 第1の実施の形態の第7の応用例を示すマルチチップモジュールの構成を示す図で、(a)は平面図、(b)は正面図である。

【図9】 本発明の第2の実施の形態のマルチチップモジュールの構成を示す図で、(a)は平面図、(b)は正面図である。

【図10】 第2の実施の形態の第1の応用例を示すマルチチップモジュールの構成を示す図で、(a)は平面図、(b)は正面図である。

【図11】 第2の実施の形態の第2の応用例を示すマルチチップモジュールの構成を示す図で、(a)は平面図、(b)は正面図である。

\*

\*【図12】 本発明の第3の実施の形態のマルチチップモジュールの構成を示す図で、(a)は平面図、(b)は正面図である。

【図13】 本発明の第4の実施の形態のマルチチップモジュールの構成を示す図で、(a)は平面図、(b)は正面図である。

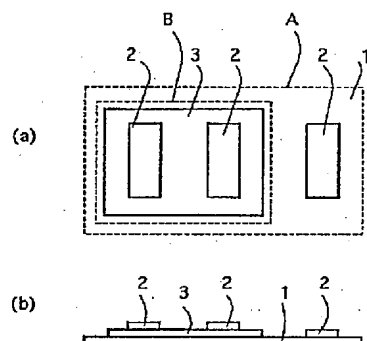
【図14】 従来のマルチチップモジュールの構成を示す平面図である。

【符号の説明】

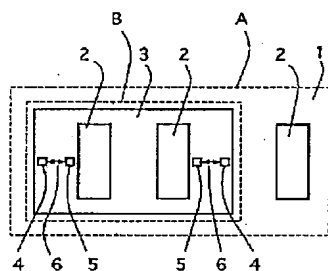
A：マルチチップモジュール、B：サブモジュール、C、D：第2サブモジュール

1：MCM基板、2、2'：IC、3：サブ基板、4、4'：サブモジュール外部接続端子、5、5'：IC接続端子、6：サブ基板内配線、7：サブ基板内配線、8：MCM外部接続端子、9：ボンディングワイヤ等、10：フリップチップ用リード、11：BGA型リード、12：第2サブ基板。

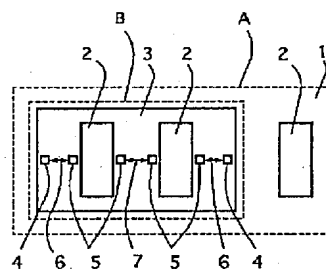
【図1】



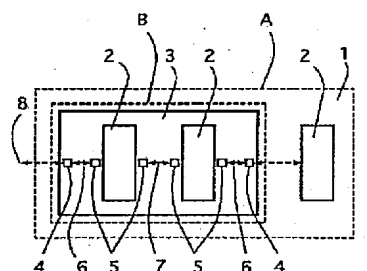
【図2】



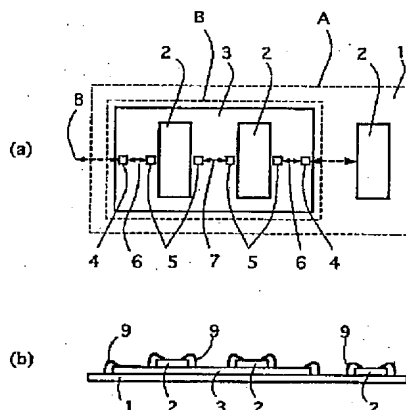
【図3】



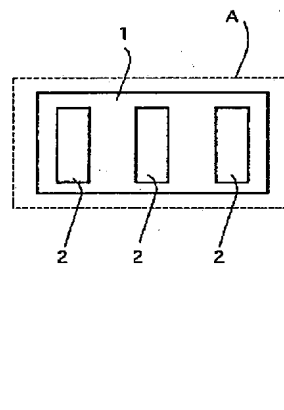
【図4】



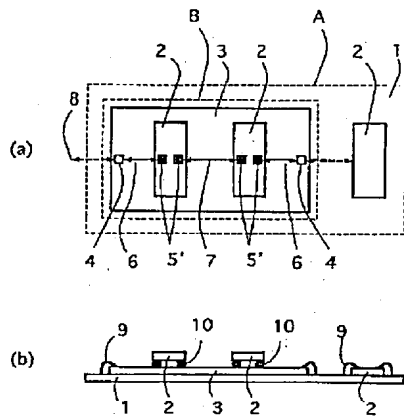
【図5】



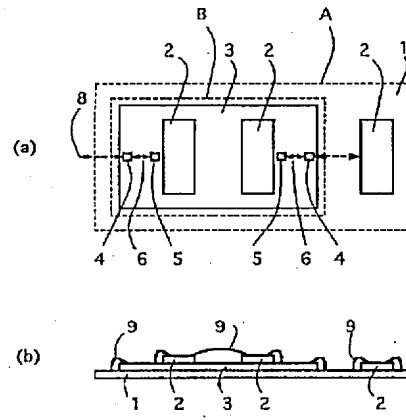
【図14】



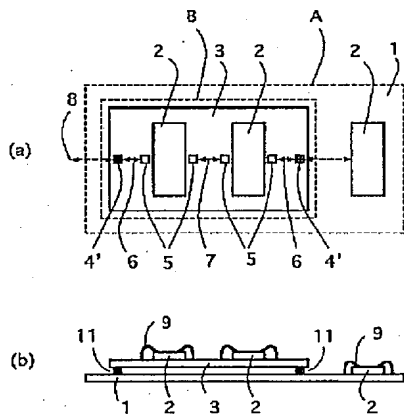
【図6】



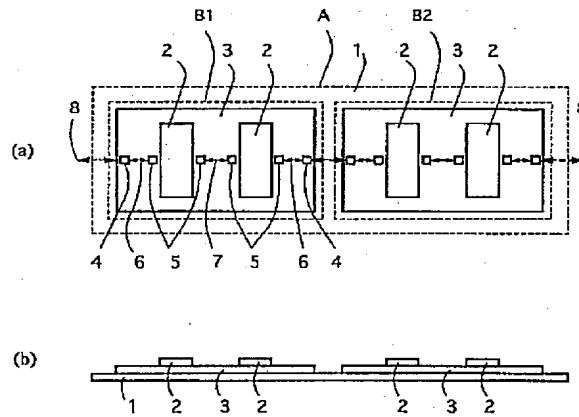
【図7】



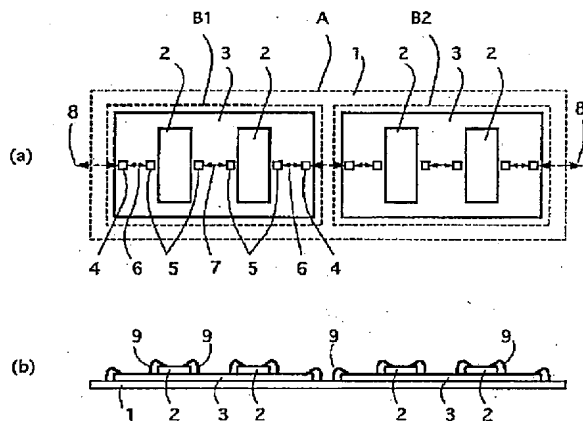
【図8】



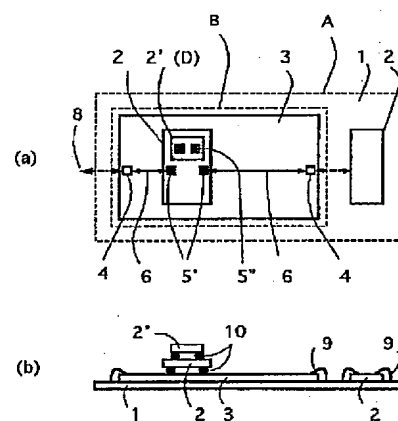
【図9】



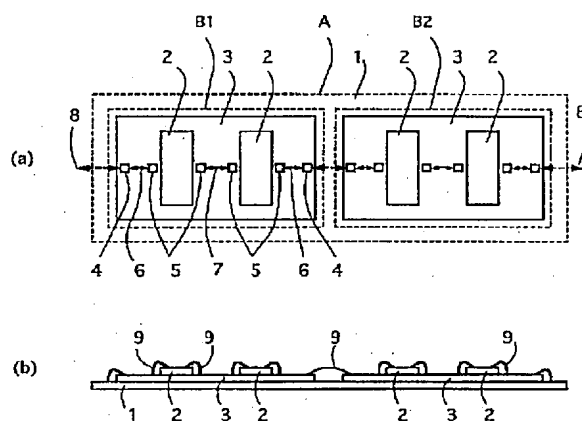
【図10】



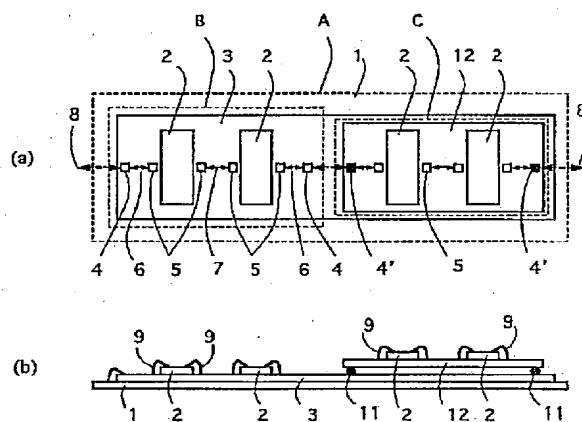
【図13】



【図11】



【図12】



フロントページの続き

(72)発明者 原田 昭男

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内